

基板トランスにおける交流抵抗低減技術の検討

電子デバイス技術課 角田龍則、二口友昭*1 ものづくり研究開発センター 小幡 勤*2

若い研究者を育てる会 コーセル株式会社 萩中悠太

1. 緒言

スイッチング電源の小型化を進める上で、搭載部品中で大きな容積を占めているトランスの低背化と、スイッチング周波数の高周波化に取り組む必要がある。トランスとはフェライトコアとコイル(導体巻き線)から構成される部品で、電源において入出力間の絶縁および電流電圧の変換を目的としている。

トランスの設計においては、その損失低減が重要であり、損失には銅損(コイルで発生)と鉄損(フェライトコアで発生)がある¹⁾。本研究では多層基板トランスの銅損低減を目的として研究を行った。トランスの銅損 P は下記式によって計算される。

$$P = (I_{dc}^2 \times R_{dc}) + (I_{ac}^2 \times R_{ac}) \cdots \text{式1}$$

I_{dc} = 直流電流成分 I_{ac} = 交流電流成分

R_{dc} = 直流抵抗値 R_{ac} = 交流抵抗値

$$R_{dc} = \rho \times l / S \cdots \text{式2}$$

ρ = 抵抗率 l = 巻き線長 S = 巻き線断面積

R_{dc} は数式2が適用できるが、 R_{ac} は確立された理論式がなく、コイルの構造や材質によって周波数特性が異なる。またその要因は、表皮効果・近接効果・誘電体損失等が考えられる。

2. 試作基板の周波数特性

コイルの巻き線において等幅構造と等比幅構造のシミュレーションをもとに、基板トランスを設計試作した。図1は、等幅でコアギャップとの間隔が0.7mmパターンのフェライトコアあり/なしの周波数特性である。

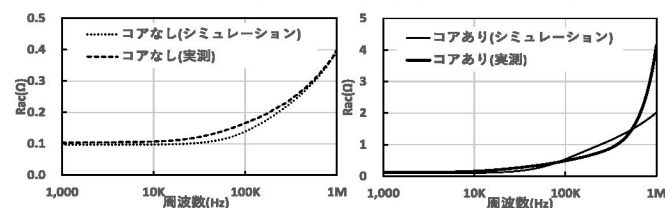


Fig. 1 The frequency response of the test product transformer (with core and without core)

コアなしの場合、シミュレーションと実測の抵抗値は、おおむね一致した。しかし、コアありの場合、実測値はシミュレーションとはかなり異なる結果となった。シミュレーションと実測値のずれについて、鉄損、シミュレーションと実測のフェライトコア形状の違いおよびコアによるインダクタンス増加の影響等が考えられる。

続いて、1kHz と 100kHz の交流抵抗を式1に代入した銅損結果を図2に示す。等幅と等比幅構造を比較すると、シミュレーションと同様に、すべての条件で等比幅構造の銅損が小さい結果となった。フェライトコアの中足にギャップのある基板トランスにおいて、巻き線を等比幅とすることで、銅損を低減できることがわかった(本モデルにおいてはおよそ 10%)。

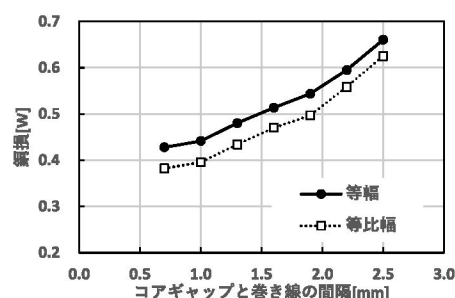


Fig. 2 The copper loss of the test product planar transformer (Change the distance between coil and core)

3. 結言

本研究では電源の小型化のため、基板トランスの交流抵抗低減技術の検討を行った。電源のスイッチング周波数(およそ 100kHz)における抵抗増加要因として、フェライトコアからの漏れ磁束による渦電流損失の影響が大きいと考え、その影響を小さくする巻き線構造をシミュレーションにより検討した。具体的には、①フェライトコアのギャップと巻き線の間隔を最適化すること、②等比幅巻き線(内側の巻き線を小さく、外側の巻き線を大きくすること)の2種類の構造である。

シミュレーション結果をもとに基板トランスを設計試作した結果、いくつかの要因のためシミュレーション結果を十分に再現できず、フェライトコアのギャップと巻き線の間隔最適化はできなかったが、実際に等比幅巻き線構造において、交流抵抗値が小さくなり損失が抑えられることを確認できた。

(詳細は、令和3年度若い研究者を育てる会「研究論文集」pp. 1-7を参照。)

参考文献

- 1) CQ出版株式会社:スイッチング電源のコイル/トランス設計

*1 令和4年3月退職、*2 現 企画管理部